

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

PANSOO KIM, ET AL.

Application No.:

Filed:

For: **Apparatus and Method for
Synchronizing Symbol Timing
Using Timing Loop Controller**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

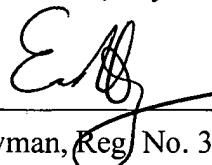
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-74005	26 November 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: November 24 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0074005
Application Number

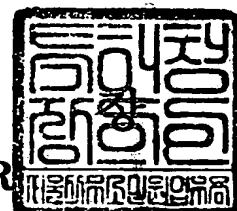
출 원 년 월 일 : 2002년 11월 26일
Date of Application NOV 26, 2002

출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 07 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.26
【발명의 명칭】	다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법
【발명의 영문명칭】	Symbol timing synchronous apparatus and method, and symbol Timing recovery apparatus for multi-level modulation scheme
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	김판수
【성명의 영문표기】	KIM,Pan Soo
【주민등록번호】	761130-1110517
【우편번호】	613-769
【주소】	부산광역시 수영구 민락동 진로비치아파트 202-902
【국적】	KR
【발명자】	
【성명의 국문표기】	김영완
【성명의 영문표기】	KIM,Young Wan
【주민등록번호】	610614-1386311
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 은하수아파트 108-302
【국적】	KR

【발명자】

【성명의 국문표기】 김내수
 【성명의 영문표기】 KIM, Nae Soo
 【주민등록번호】 580712-1526316
 【우편번호】 306-060
 【주소】 대전광역시 대덕구 법동 보람아파트 104-1303
 【국적】 KR

【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】	497,000 원		
【감면사유】	정부출연연구기관		
【감면후 수수료】	248,500 원		

【기술이전】

【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】****1. 청구범위에 기재된 발명이 속한 기술분야**

본 발명은 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법에 관한 것임.

2. 발명이 해결하려고 하는 기술적 과제

본 발명은, 입력 신호가 다중레벨이고 영점교차 천이가 불규칙적인 고차 변조방식의 특성을 극복하기 위하여, 신호대 잡음비에 따른 타이밍 오차값들의 분산을 줄이고 추적시 정상상태 지터량을 감소시킬수 있도록 하기 위한 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법과 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공하고자 함.

3. 발명의 해결방법의 요지

본 발명은, 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치에 있어서, 순차적으로 입력되는 아날로그 신호를 디지털신호로 변환시키기 위한 A/D(Analog/Digital) 변환수단; 상기 A/D 변환수단으로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환수단의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 검출하기 위한 타이밍 오차 검출수단; 상기 타이밍 오차 검출수단을 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 출력 제어수단; 상기 타이밍 오차 출력 제어수단을 통해 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 필터링 수단; 및

상기 타이밍 오차 검출수단에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환수단의 샘플링 타이밍의 타이밍 오차를 보정하기 위한 타이밍 오차 보정수단을 포함함.

4. 발명의 중요한 용도

본 발명은 심볼 타이밍 동기 장치 등에 이용됨.

【대표도】

도 4

【색인어】

다중레벨 신호, 부호변화 검출, 타이밍 오차 검출, 타이밍 오차 출력 제어, 지터, 타이밍 오차

【명세서】**【발명의 명칭】**

다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법{Symbol timing synchronous apparatus and method, and symbol Timing recovery apparatus for multi-level modulation scheme}

【도면의 간단한 설명】

도 1 은 종래의 타이밍 고정 루프 회로의 블록도.

도 2 는 상기 도 1의 타이밍 오차 검출부에서 타이밍 오차를 검출하는 회로의 블록도.

도 3 은 본 발명에 따른 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치의 일실시예 구성도.

도 4 는 본 발명에 따른 타이밍 동기루프 제어 장치의 일실시예 구성도.

도 5a 내지 도 5c 는 본 발명의 타이밍 오차 출력값 제어 방식에 따른 타이밍 오차 출력 형태도.

도 6 은 본 발명에 따른 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법의 일실시예 흐름도.

도 7 은 본 발명의 심볼 타이밍 동기 장치에 따른 타이밍 에러 검출기 평균 결과를 그래프로 나타낸 예시도.

도 8 은 본 발명의 심볼 타이밍 동기 장치에 따른 타이밍 에러 검출기 분산 결과를 그래프로 나타낸 예시도.

* 도면의 주요 부분에 대한 부호의 설명

31 : A/D 변환부 32 : 타이밍 오차 검출부

33 : 타이밍 오차 출력 제어부

34 : 저역 통과 필터(Low pass Filter) 35 : VCO부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법과 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체에 관한 것으로, 특히 다중레벨 신호 환경에서 자체 잡음 효과로 인한 기준의 알고리즘이 가지는 타이밍 에러 포착속도 지연과 추적시 정상상태 지터값이 커지는 문제를 개선하기 위하여, 다중레벨 신호의 심볼 타이밍 오차를 검출 및 보정하기 위한 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치 및 그 방법과 상기 방법을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체에 관한 것이다.

<14> 일반적으로, 입력 신호의 정확한 심볼 타이밍 오차를 검출하여 보정하는 알고리즘으로 가드너(Gardner) 방식이 이용된다. 이는 논문 "F. M. Gardner, "A BPSK/QPSK Timing-error Detector for Sample Data Receivers,"(IEEE Trans. Commun., vol. COM-34, pp. 423-429, May 1986)에 게시되어 있다.

<15> 도 1 은 종래의 타이밍 고정 루프 회로의 블록도로서, 타이밍 오차 검출 및 보정을 수행하여 입력 신호의 타이밍과 수신단 샘플링 타이밍을 동기화시키는 심볼타이밍 동기 회로를 나타낸 것이다.

<16> 도 1에 도시된 바와 같이, 종래의 타이밍 고정 루프 회로는, 아날로그 신호를 디지털 신호로 변환하기 위한 A/D 변환부(11)와, 타이밍 오차 검출을 위한 타이밍 오차 검출부, 잡음 제거를 위한 저역 통과 필터(13)와, 샘플링 타이밍의 타이밍 시점을 보정하기 위한 VCO(Voltage Controlled Oscillator)부(14)로 구성된다.

<17> 유무선 채널을 통과한 송신 데이터는 주파수 하향 변환을 거친 후, 수신단의 심볼 타이밍 동기회로의 A/D 변환부(11)로 순차적으로 입력된다. A/D 변환부(11)는 아날로그 신호를 디지털 신호로 변환시킨다. 타이밍 오차 검출부(12)는 A/D변환부(11)로부터 디지털 신호를 순차적으로 전달받아서 추출하는 방법으로 타이밍 오차를 계산한다. 타이밍 오차는 저역 통과 필터(13)로 전달된다. 저역 통과 필터(13)에 입력된 타이밍 오차의 값은 잡음을 제거하여 VCO부(14)에 입력된다. VCO부(14)에 입력된 타이밍 오차를 보정하기 위하여 오차값 만큼의 샘플링 타이밍을 천이하게 된다.

<18> 도 2 는 상기 도 1의 타이밍 오차 검출부(12)에서 타이밍 오차를 검출하는 회로의 블록도로서, 상기한 바와 같은 Gardner 방식에 따르면 타이밍 오차는 다음과 같은 식과 구조에 의해 검출된다.

- <19> 도 2에 도시된 바와 같이, 타이밍 오차 검출부(12)는 동상(I:In-phase)/직교위상(Q:Quadrature-phase) 축에 각각 2개의 버퍼(21,22,25,26), 경판정기(23,24,27,28), 두 개의 곱셈기와 세개의 합산기를 포함한다.
- <20> 버퍼(21)은 A/D 변환기(11)로부터 입력된 디지털 신호를 저장한다. 디지털 신호 I_{2n-2} , Q_{2n-2} 이 각각 입력된 후에, 새로운 디지털 신호 I_{2n-1} , Q_{2n-1} 가 입력되고 마찬가지로 또 새로운 입력 데이터가 I_{2n} , Q_{2n} 가 들어오면 버퍼(21,22,25,26)는 각각 I_{2n-1} , I_{2n-2} , Q_{2n-1} , Q_{2n-2} 가 저장되게 된다. 경판정기(23,24,27,28)는 각각의 I_{2n} , I_{2n-2} , Q_{2n} , Q_{2n-2} 신호를 신호 부호에 따라 경판정하여 1, -1의 값으로 결정한다.
- <21> 따라서, 상기의 수식처럼 합산기와 곱셈기의 연산을 통해 최종적으로 타이밍 오차가 계산 및 산출된다.
- <22> 그러나, 종래 기술에 따르는 타이밍 오차 검출장치는 매 샘플 클럭마다 타이밍 오차를 검출하는 방식으로 순차적으로 입력된 심볼당 2개의 디지털 신호를 이용하기 때문에 다중레벨 신호에서 영점을 교차하지 않는 경우에도 타이밍 오차를 계산하게 된다. 이는 영근처의 값이 아닌 값을 타이밍 오차로 계산할 수 있기 때문에 타이밍 지터가 커지는 문제점을 가지게 된다. 또한, 타이밍 오차값이 매 샘플 클럭마다 나타나므로 영점교차가 불규칙적인 고차 QAM(Quadrature Amplitude Modulation) 신호에서는 데이터 샘플값들의 분산값이 신호대 잡음비의 영향에 따라 상당히 큰 변동값을 보이는 문제점을 가지게 된다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은, 상기한 바와 같은 문제점을 해결하기 위하여 제안된 것으로, 입력 신호가 다중레벨이고 영점교차 천이가 불규칙적인 고차 변조방식의 특성을 극복하기 위하여, 신호대 잡음비에 따른 타이밍 오차값들의 분산을 줄이고 추적시 정상상태 지터량을 감소 시킬수 있도록 하기 위한 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용 한 심볼 타이밍 동기 장치 및 그 방법과 상기 방법을 실현시키기 위한 프로그램을 기록 한 컴퓨터로 읽을 수 있는 기록매체를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위한 본 발명은, 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치에 있어서, 외부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 샘플링 타이밍간의 타이밍 오차 연산을 위한 제1 내지 제4 연산수단; 상기 제1 내지 제4 연산수단을 통해 전달되는 타이밍 오차의 방향 및 오차값의 크기를 조정하는 제1 내지 제4 양자화수단; 상기 제1 내지 제4 양자화수단의 수행 결과에 따라, 부호변화를 검출하기 위한 제1 및 제2 부호 검출수단; 상기 제1 및 제2 부호 검출수단의 검출 결과에 따라, I(동상)와 Q(직교위상)축 모두 영점교차 검출을 확인하기 위한 영점교차 검출수단; 및 상기 제1 및 제2 부호 검출수단의 검출 결과에 따라, 부호 변화가 없을 경우 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 제어수단을 포함하여 이루어진 것을 특징 으로 한다.

<25> 또한, 본 발명은, 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치에 있어서, 순차적으로 입력되는 아날로그 신호를 디지털신호로 변환시키기 위한 A/D(Analog/Digital) 변환수단; 상기 A/D 변환수단으로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환수단의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 검출하기 위한 타이밍 오차 검출수단; 상기 타이밍 오차 검출수단을 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 출력 제어수단; 상기 타이밍 오차 출력 제어수단을 통해 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 필터링 수단; 및 상기 타이밍 오차 검출수단에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환수단의 샘플링 타이밍의 타이밍 오차를 보정하기 위한 타이밍 오차 보정수단을 포함하여 이루어진 것을 특징으로 한다.

<26> 또한, 본 발명은, 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치에 적용되는 심볼 타이밍 동기 방법에 있어서, 순차적으로 입력되는 아날로그 신호를 A/D 변환부를 통해 디지털신호로 변환시키는 제 1 단계; 상기 A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환부의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 타이밍 오차 검출부를 통해 검출하는 제 2 단계; 상기 타이밍 오차 검출부를 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하는 제 3 단계; 상기 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 제 4 단계; 및 상기 타이밍 오차 검출부에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환부의 샘플링 타이밍의 타이밍 오차를 보정하는 제 5 단계를 포함하여 이루어진 것을 특징으로 한다.

<27> 또한, 본 발명은, 프로세서를 구비한 타이밍 동기루프 제어 장치에, 순차적으로 입력되는 아날로그 신호를 A/D 변환부를 통해 디지털신호로 변환시키는 제 1 기능; 상기 A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환부의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 타이밍 오차 검출부를 통해 검출하는 제 2 기능; 상기 타이밍 오차 검출부를 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하는 제 3 기능; 상기 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 제 4 기능; 및 상기 타이밍 오차 검출부에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환부의 샘플링 타이밍의 타이밍 오차를 보정하는 제 5 기능을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 제공한다.

<28> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

<29> 도 3 은 본 발명에 따른 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치의 일실시예 구성도이다.

<30> 도 3에 도시된 바와 같이, 본 발명에 따른 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치는, 순차적으로 입력되는 아날로그 신호를 디지털신호로 변환시키기 위한 A/D(Analog/Digital) 변환부(31)와, A/D 변환부(31)로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 A/D 변환부(31)의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 검출하기 위한 타이밍 오차 검출부(32)와, 타이밍 오차 검출부(32)를 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하

기 위한 타이밍 오차 출력 제어부(33)와, 타이밍 오차 출력 제어부(33)를 통해 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 저역 통과 필터(34)와, 타이밍 오차 검출부(32)에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 A/D 변환부(31)의 샘플링 타이밍의 타이밍 오차를 보정하기 위한 VCO부(35)를 구비한다.

<31> 여기서, 타이밍 오차 검출부(32)는, 영점교차 검출부(AND 게이트)(411)를 이용하여 타이밍 에러를 출력시키고 영점교차가 발생이 적은 변조방식에서는 타이밍 오차 검출부(32)의 출력단 뒤에 이득 조정 루프를 따로 설치하여 타이밍 에러 출력 신호를 조정하여 타이밍 에러 포착 및 추적할 수 있도록 한다.

<32> 도 4 는 본 발명에 따른 타이밍 동기루프 제어 장치의 일실시예 구성도이다.

<33> 도 4에 도시된 바와 같이, 본 발명에 따른 타이밍 동기루프 제어 장치는, A/D 변환부(31)로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 A/D 변환부(31)의 샘플링 타이밍간의 타이밍 오차 연산을 위한 버퍼(401, 402, 405, 406)와, 버퍼(401, 402, 405, 406)을 통해 전달되는 타이밍 오차의 방향 및 오차값의 크기를 조정하기 위한 양자화기(403, 404, 407, 408)와, 양자화기(403, 404, 407, 408)의 수행 결과에 따라, 부호변화를 검출하기 위한 부호 검출부(Ex-OR 게이트)(409, 410)와, 부호 검출부(409, 410)의 검출 결과에 따라, I와 Q축 모두 영점교차 검출을 확인하기 위한 영점교차 검출부(AND 게이트)(411)와, 부호 검출부(409, 410)의 검출 결과에 따라, 부호 변화가 없을 경우 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 출력 제어부(33)를 구비한다.

<34> 여기서, 타이밍 오차 출력값(ϵ_n)을 수식으로 표현하면 다음의 [수학식 1]과 같다.

<35>

【수학식 1】 $\xi_n = \overline{I_{2n-1}} \cdot (\overline{I_{2n}} - \overline{I_{2n-2}}) + \overline{Q_{2n-1}} \cdot (\overline{Q_{2n}} - \overline{Q_{2n-2}})$

<36>

$$\overline{I_{2n-1}} = (I_{2n-1} - 0.5 \cdot (I_{2n} + I_{2n-2}))$$

$$\overline{Q_{2n-1}} = (Q_{2n-1} - 0.5 \cdot (Q_{2n} + Q_{2n-2}))$$

$$\overline{I_{2n}} = 0.5 \cdot I_{2n}, \quad \overline{Q_{2n}} = 0.5 \cdot Q_{2n}$$

$$\overline{I_{2n-2}} = 0.5 \cdot I_{2n-2}, \quad \overline{Q_{2n-2}} = 0.5 \cdot Q_{2n-2}$$

<37>

여기서, n 은 1이상의 자연수이다.

<38>

A/D 변환부(31)로부터 출력되는 디지털 신호를 샘플단위에 의해 k 비트로 표현하는 경우, 디지털 신호의 k비트 중에서 최상위 비트는 부호 비트이고 나머지 k-1비트는 데이터 비트이다. Ex-OR 게이트(409,410)가 모두 온(On) 상태가 되는 경우 AND 게이트(411)가 동작하여 타이밍 오차 출력값을 내는 스위치가 온(On) 상태가 되며, Ex-OR 게이트(409,410)가 모두 온(On) 상태가 되지 않는 경우에는 타이밍 오차 출력값을 제어하게 된다. 기존의 방식은 도 5a에서 처럼 영점 교차 검출지점에서 타이밍 오차 출력값을 유지하는 형태 또는 도 5b에서 처럼 영점 교차 지점에서만 타이밍 오차 출력값을 내는 형태였으나, 본 발명에서는 도 5c에서 처럼 영점 교차 지점에서 타이밍 오차 출력값을 내고 영점교차 지점이 발생하지 않는 경우에 한해서 타이밍 오차 출력값을 도 4의 타이밍 오차 출력 제어부(33)에서 이득값을 통해 오차값을 갱신해나가는 형태이다.

<39>

도 6 은 본 발명에 따른 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법의 일실시예 흐름도이다.

<40>

도 6에 도시된 바와 같이, 먼저 순차적으로 입력되는 디지털 신호의 입력 타이밍과 디지털 신호의 샘플링 타이밍 오차를 산출하고, 순차적으로 입력되는 상기 디지털 신호

의 부호변화를 검출하며, 부호 검출기에 의해 구동되어 상기 부호 변화 검출기가 동작한 경우에 연산기가 계산한 타이밍 오차를 출력하고 검출되지 않는 경우 타이밍 오차 출력 값을 제어한다.

<41> 상기 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법을 구체적으로 살펴보면, 먼저 수신단으로 입력되는 아날로그 신호를 A/D 변환부(31)를 통해 디지털 신호로 변환시킨다(601).

<42> 상기에서 설명한 검출 방법에 따라 타이밍 오차를 계산하고(602) 부호변화 검출부(409, 410)를 통해 부호 변화를 확인한다(603).

<43> 확인결과, 부호가 변화했을 경우 타이밍 오차값을 출력하고(605), 부호가 변화하지 않았을 경우 타이밍 오차 값을 이득 조정기를 통해 제어한 후(604) 타이밍 오차값을 출력한다(605).

<44> 이어서, 저역 통과 필터(34)를 통해 타이밍 오차 출력값의 잡음을 제거하고 오차 평균값을 구하고(606), 저역 통과 필터(34)에서 산출된 타이밍 오차값에 따라 적절한 샘플링 타이밍 시점을 천이하게 되고, 샘플링 타이밍 복구 과정을 수행한다(607, 608).

<45> 이어서, 샘플링 타이밍 복구 후에도 일정 시간내에 새로운 디지털 신호가 입력되면 입력되는 디지털 신호에 따라 순차적으로 지연되면서 타이밍 오차 검출 방법이 계속적으로 수행되며, 만약 일정 시간내에 새로운 디지털 신호가 입력되지 않으면 타이밍 오차 검출 장치는 타이밍 오차 검출과정이 종료된 것으로 판단하고 이러한 타이밍 오차 검출 방법을 종료시킨다(609).

<46> 한편, 상기의 도 5와 같이 양자화기와 타이밍 오차 출력 이득을 제어함으로써 신호 대 잡음비의 분산값을 줄이고, 심볼 타이밍 동기회로 동작시 타이밍 오차에 의한 포착과 추적시 향상된 성능을 발휘할 수 있게 된다. 본 발명은 다중레벨로 송수신하는 유무선 통신시스템에서 어떤 형태에서도 적용이 가능하다.

<47> 또한, 본 발명에서는 부호 변화 검출부를 Ex-OR 게이트로 구현하였지만, Ex-NOR 회로로 구현하거나 AND와 OR 게이트의 조합으로도 구현할 수 있다. 또한, 샘플링 타이밍 조정부는 VCO로 구현하였지만 이에 한하지 않고 샘플링 타이밍을 조정할 수 있는 다른 장치로 구현될 수도 있으며, VCO 뒷단에 비이상적인 보간필터 형태로 구현할 수도 있다.

<48> 도 7 은 본 발명의 심볼 타이밍 동기 장치에 따른 타이밍 에러 검출기 평균 결과를 그래프로 나타낸 예시도로서, 일반적인 [도 2]의 방법과 [도 2]+[수학식 1]방법이 적용된 것으로, [수학식 1]+[도 4](타이밍 에러 출력 제어회로 포함)가 적용된 방법의 타이밍 에러 검출기 평균 특성을 나타낸 것이다.

<49> 도 8 은 본 발명의 심볼 타이밍 동기 장치에 따른 타이밍 에러 검출기 분산 결과를 그래프로 나타낸 예시도로서, 일반적인 [도 2]의 방법과 [도 2]+[수학식 1] 방법이 적용된 것으로, [수학식 1]+[도 4](타이밍 에러 출력 제어회로 포함)가 적용된 방법의 타이밍 에러 검출기 분산 특성을 나타낸 것이다.

<50> 상술한 바와 같은 본 발명의 방법은 프로그램으로 구현되어 컴퓨터로 읽을 수 있는 기록매체(씨디롬, 램, 롬, 플로피 디스크, 하드 디스크, 광자기 디스크 등)에 저장될 수 있다.

<51> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<52> 상기한 바와 같은 본 발명은, 순차적인 디지털 신호를 이용하여 타이밍 오차를 검출하고 부호변화 검출부를 추가하여 부호 변화가 있는 경우에만 상기 타이밍 오차를 출력시키고 타이밍 오차 출력값을 제어함으로써, 신호대 잡음비에 따른 타이밍 오차에 대한 지터 성능을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치에 있어서,

외부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 샘플링 타이밍간의

타이밍 오차 연산을 위한 제1 내지 제4 연산수단;

상기 제1 내지 제4 연산수단을 통해 전달되는 타이밍 오차의 방향 및 오차값의 크기를 조정하는 제1 내지 제4 양자화수단;

상기 제1 내지 제4 양자화수단의 수행 결과에 따라, 부호변화를 검출하기 위한 제1 및 제2 부호 검출수단;

상기 제1 및 제2 부호 검출수단의 검출 결과에 따라, I(동상)와 Q(직교위상)축 모두 영점교차 검출을 확인하기 위한 영점교차 검출수단; 및

상기 제1 및 제2 부호 검출수단의 검출 결과에 따라, 부호 변화가 없을 경우 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 제어수단

을 포함하는 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치.

【청구항 2】

제 1 항에 있어서,

상기 제1 내지 제4 연산수단은,

하기의 수식에 의해 상기 타이밍 오차 출력값(ϵ_m)을 구하는 것을 특징으로 하는

다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치.

$$\xi_n = \overline{I_{2n-1}} \cdot (\overline{I_{2n}} - \overline{I_{2n-2}}) + \overline{Q_{2n-1}} \cdot (\overline{Q_{2n}} - \overline{Q_{2n-2}})$$

$$\overline{I_{2n-1}} = (I_{2n-1} - 0.5 \cdot (I_{2n} + I_{2n-2}))$$

$$\overline{Q_{2n-1}} = (Q_{2n-1} - 0.5 \cdot (Q_{2n} + Q_{2n-2}))$$

$$\overline{I_{2n}} = 0.5 \cdot I_{2n}, \quad \overline{Q_{2n}} = 0.5 \cdot Q_{2n}$$

$$\overline{I_{2n-2}} = 0.5 \cdot I_{2n-2}, \quad \overline{Q_{2n-2}} = 0.5 \cdot Q_{2n-2}$$

(여기서, n 은 1이상의 자연수임)

【청구항 3】

다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치에 있어서,

순차적으로 입력되는 아날로그 신호를 디지털신호로 변환시키기 위한
A/D(Analog/Digital) 변환수단;

상기 A/D 변환수단으로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환수단의 샘플링 타이밍 간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 검출하기 위한 타이밍 오차 검출수단;

상기 타이밍 오차 검출수단을 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하기 위한 타이밍 오차 출력 제어수단;

상기 타이밍 오차 출력 제어수단을 통해 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 필터링 수단; 및

상기 타이밍 오차 검출수단에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환수단의 샘플링 타이밍의 타이밍 오차를 보정하기 위한 타이밍 오차 보정수단

을 포함하는 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치.

【청구항 4】

제 3 항에 있어서,

상기 타이밍 오차 검출수단은,

A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 A/D 변환부의 샘플링 타이밍간의 타이밍 오차 연산을 위한 제1 내지 제4 연산부;

상기 제1 내지 제4 연산부를 통해 전달되는 타이밍 오차의 방향 및 오차값의 크기를 조정하는 제1 내지 제4 양자화부;

상기 제1 내지 제4 양자화부의 수행 결과에 따라, 부호변화를 검출하기 위한 제1 및 제2 부호 검출부; 및

상기 제1 및 제2 부호 검출부의 검출 결과에 따라, I(동상)와 Q(직교위상)축 모두 영점교차 검출을 확인하기 위한 영점교차 검출부

를 포함하는 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치.

【청구항 5】

제 4 항에 있어서,

상기 제1 내지 제4 연산부는,

하기의 수식에 의해 상기 타이밍 오차 출력값(ε_n)을 구하는 것을 특징으로 하는
다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치

$$\varepsilon_n = \overline{I_{2n-1}} \cdot (\overline{I_{2n}} - \overline{I_{2n-2}}) + \overline{Q_{2n-1}} \cdot (\overline{Q_{2n}} - \overline{Q_{2n-2}})$$

$$\overline{I_{2n-1}} = (I_{2n-1} - 0.5 \cdot (I_{2n} + I_{2n-2}))$$

$$\overline{Q_{2n-1}} = (Q_{2n-1} - 0.5 \cdot (Q_{2n} + Q_{2n-2}))$$

$$\overline{I_{2n}} = 0.5 \cdot I_{2n}, \quad \overline{Q_{2n}} = 0.5 \cdot Q_{2n}$$

$$\overline{I_{2n-2}} = 0.5 \cdot I_{2n-2}, \quad \overline{Q_{2n-2}} = 0.5 \cdot Q_{2n-2}$$

(여기서, n 은 1이상의 자연수임)

【청구항 6】

제 3 항 또는 제 4 항에 있어서,

상기 타이밍 오차 검출수단은,

상기 영점교차 검출부를 이용하여 타이밍 에러를 출력시키고 영점교차가 발생이 적
은 변조방식에서는 상기 타이밍 오차 검출수단의 출력단 뒤에 이득 조정 루프를 따로 설
치하여 타이밍 에러 출력 신호를 조정하여 타이밍 에러 포착 및 추적할 수 있도록 하는

것을 특징으로 하는 다중레벨 변조 기법을 위한 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치.

【청구항 7】

제 3 항 또는 제 4 항에 있어서,
상기 타이밍 오차 출력 제어수단은,
상기 제1 및 제2 부호 검출부의 검출 결과에 따라, 부호 변화가 없을 경우 타이밍
오차 출력값을 제어하는 것을 특징으로 하는 다중레벨 변조 기법을 위한 타이밍 동기루
프 제어 장치를 이용한 심볼 타이밍 동기 장치.

【청구항 8】

타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 장치에 적용되는 심볼 타이
밍 동기 방법에 있어서,

순차적으로 입력되는 아날로그 신호를 A/D 변환부를 통해 디지털신호로 변환시키
는 제 1 단계;

상기 A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기
A/D 변환부의 샘플링 타이밍 간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화
를 타이밍 오차 검출부를 통해 검출하는 제 2 단계;

상기 타이밍 오차 검출부를 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출
력값을 제어하는 제 3 단계;

상기 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 제 4 단계; 및

상기 타이밍 오차 검출부에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환부의 샘플링 타이밍의 타이밍 오차를 보정하는 제 5 단계를 포함하는 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법.

【청구항 9】

제 8 항에 있어서,

상기 제 2 단계는,

상기 A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 A/D 변환부의 샘플링 타이밍간의 타이밍 오차 연산을 수행하는 제 6 단계;

상기 연산 과정을 통해 전달되는 타이밍 오차의 방향 및 오차값의 크기를 조정하는 제 7 단계;

상기 제 7 단계의 수행 결과에 따라, 부호변화를 검출하는 제 8 단계; 및

상기 부호변화 검출 결과에 따라, I(동상)와 Q(직교위상)축 모두 영점교차 검출을 확인하는 제 9 단계

를 포함하는 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법.

【청구항 10】

제 8 항 또는 제 9 항에 있어서,

상기 제 3 단계는,

상기 부호변화 검출 결과에 따라, 부호 변화가 없을 경우 타이밍 오차 출력값을 제어하는 것을 특징으로 하는 타이밍 동기루프 제어 장치를 이용한 심볼 타이밍 동기 방법.

【청구항 11】

프로세서를 구비한 타이밍 동기루프 제어 장치에,
순차적으로 입력되는 아날로그 신호를 A/D 변환부를 통해 디지털신호로 변환시키는 제 1 기능;

상기 A/D 변환부로부터 순차적으로 입력되는 디지털 신호의 입력 타이밍과 상기 A/D 변환부의 샘플링 타이밍간의 타이밍 오차를 산출하고, 상기 디지털 신호의 부호변화를 타이밍 오차 검출부를 통해 검출하는 제 2 기능;

상기 타이밍 오차 검출부를 통해 산출된 타이밍 오차를 출력하고, 타이밍 오차 출력값을 제어하는 제 3 기능;

상기 제어된 타이밍 오차 출력값의 잡음을 제거하고 오차의 평균값을 구하는 제 4 기능; 및

상기 타이밍 오차 검출부에서 산출된 오차값에 대응하는 샘플링 타이밍을 천이시켜 상기 A/D 변환부의 샘플링 타이밍의 타이밍 오차를 보정하는 제 5 기능
을 실현시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

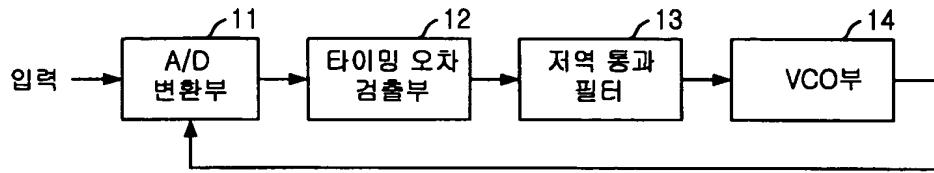


1020020074005

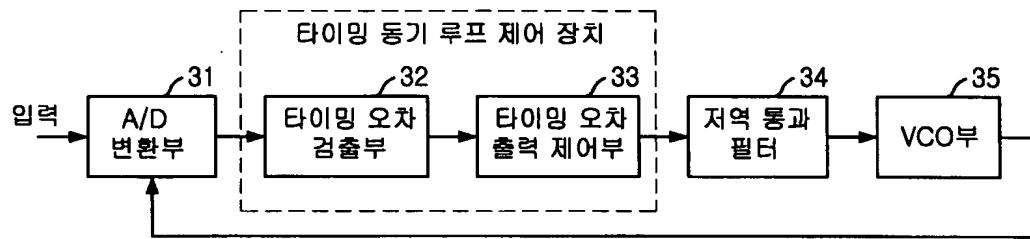
출력 일자: 2003/7/11

【도면】

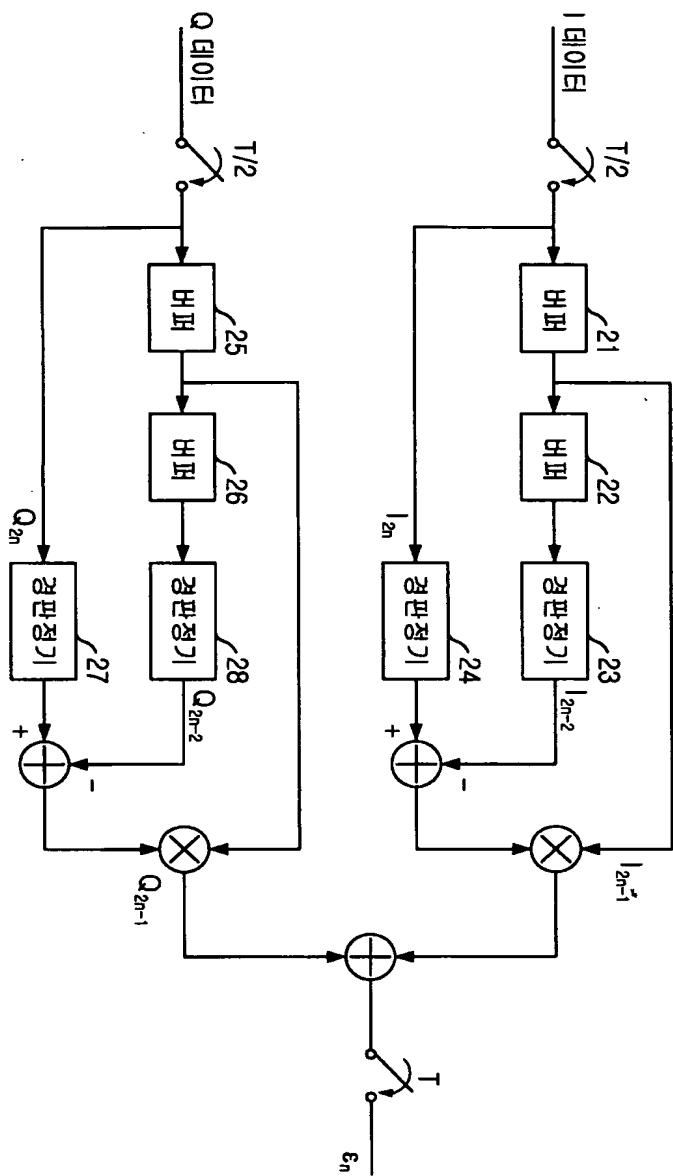
【도 1】



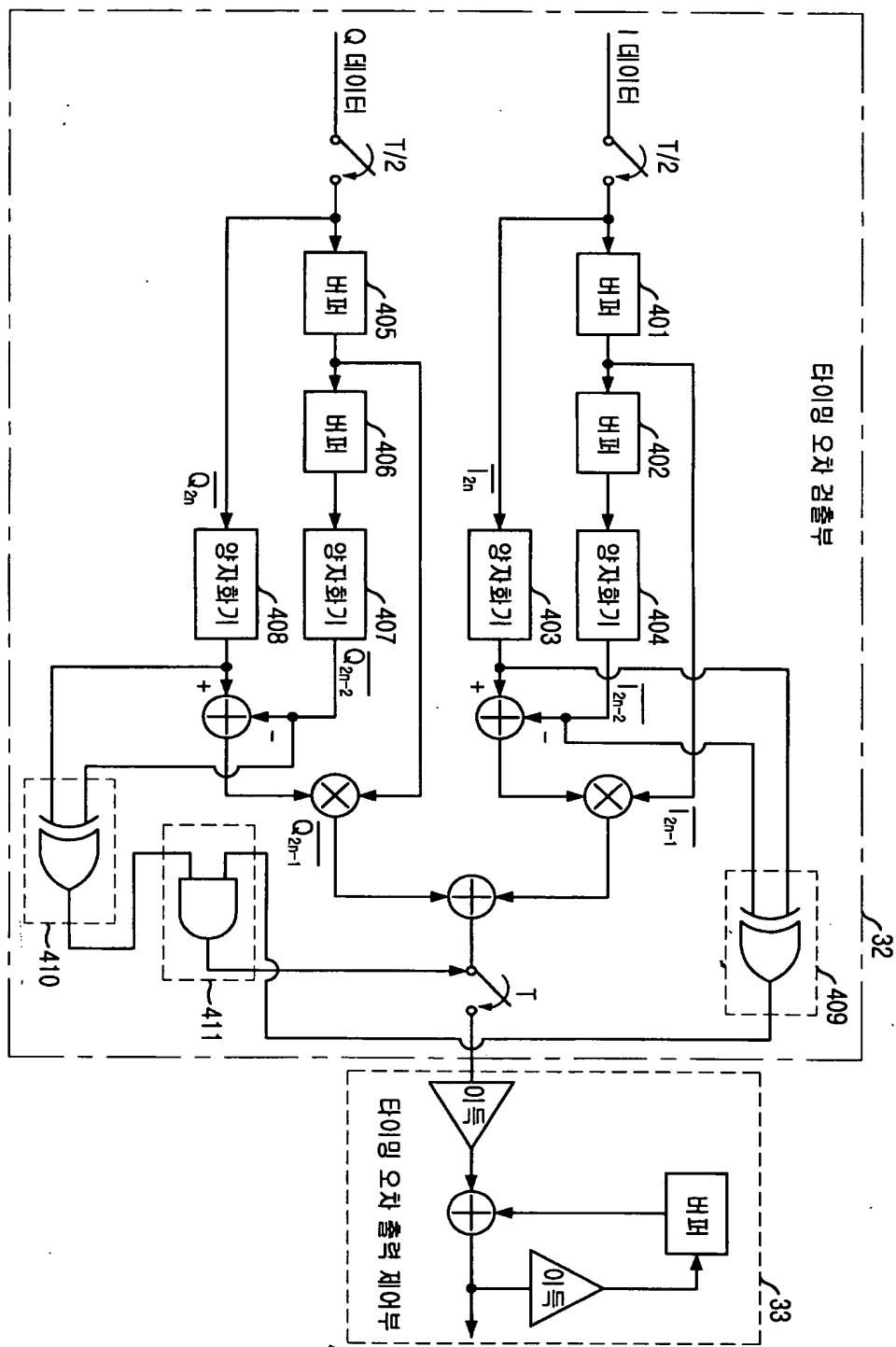
【도 3】



【도 2】



【도 4】

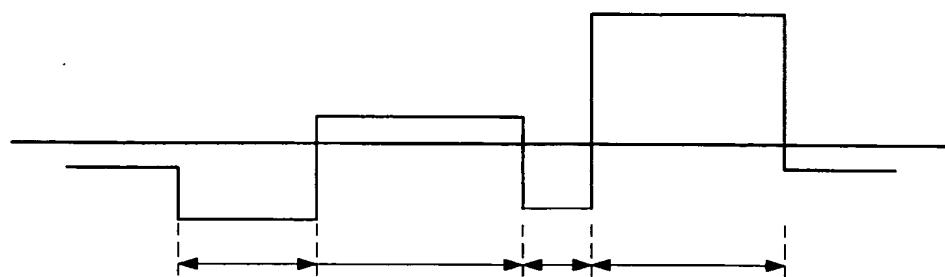




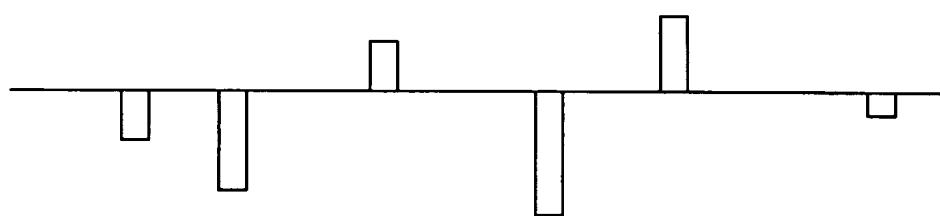
1020020074005

출력 일자: 2003/7/11

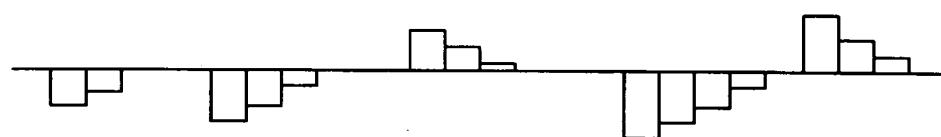
【도 5a】



【도 5b】



【도 5c】

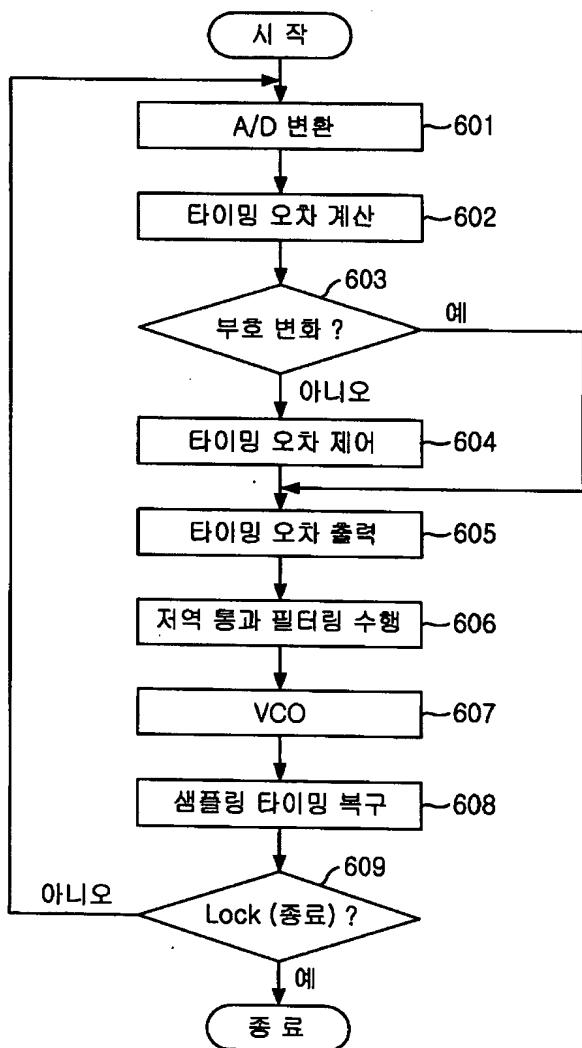




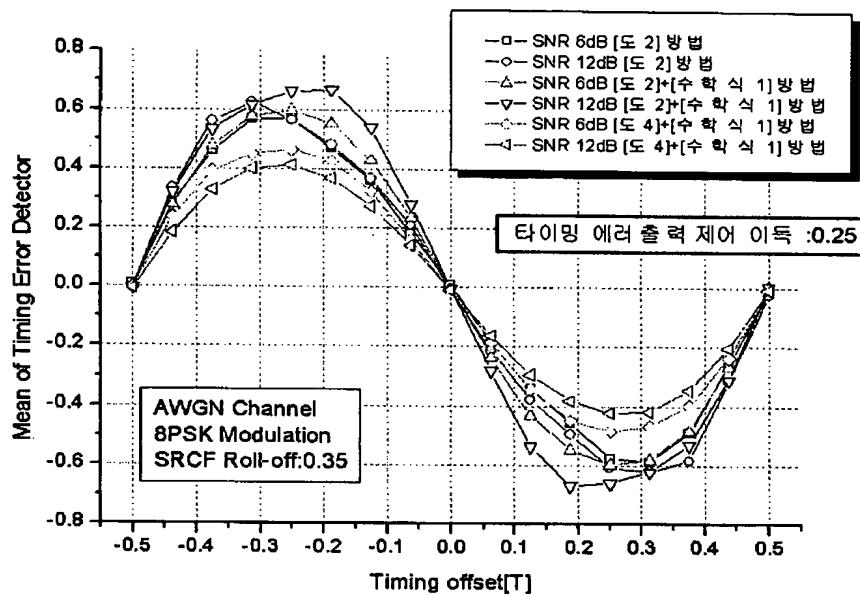
1020020074005

출력 일자: 2003/7/11

【도 6】



【도 7】



【도 8】

